

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年1 月18 日 (18.01.2001)

PCT

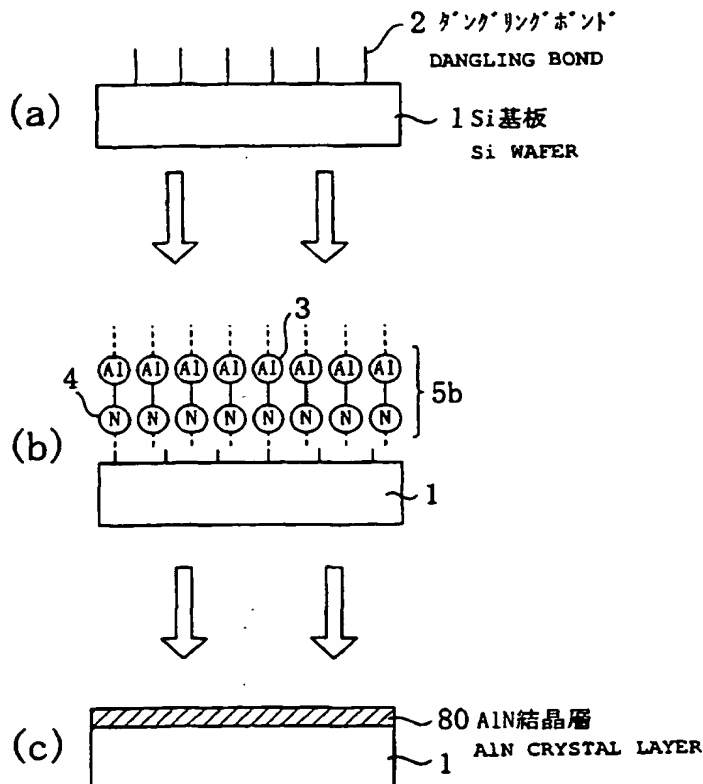
(10) 国際公開番号
WO 01/04943 A1

- (51) 国際特許分類⁷: H01L 21/318, (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/04477
- (22) 国際出願日: 2000 年7 月6 日 (06.07.2000) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ): 西川孝司 (NISHIKAWA, Takashi) [JP/JP]; 〒565-0875 大阪府吹田市青山台1-2-C30-106 Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).
- (30) 優先権データ: 特願平11/192659 1999 年7 月7 日 (07.07.1999) JP (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: MULTILAYERED BODY, METHOD FOR FABRICATING MULTILAYERED BODY, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 積層体、積層体の製造方法及び半導体素子



(57) Abstract: A silicon wafer (1) is cleaned by acid treatment and heated to remove matters adhering to the surface. Plasma of nitrogen is supplied over the surface of the Si wafer (1) to form an AlN crystal layer (80) not lattice-matching Si crystals on the surface of the Si wafer (1) by the surfactant effect of the radical nitrogen. The lattice spacing of the AlN crystal layer (80) is substantially equal to the lattice constant of the AlN crystals. Therefore, there is no strain in the Al crystal layer (80) due to the difference of lattice constant between the Al crystal layer (80) and the Si wafer (1), unlike the case in which an AlN crystal layer (80) lattice-matches the Si wafer.

[続葉有]

WO 01/04943 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を 照。

添付公開 類:
— 国際調査報告

(57) 要約:

Si基板(1)を酸処理などによって洗浄し、加熱して表面の付着物を除去する。次に、Si基板(1)の表面にプラズマ化された窒素を供給して、ラジカル窒素のサーファクタント効果により、Si基板(1)の表面上に、Si結晶とは格子整合していないAlN結晶層(80)を形成する。AlN結晶層(80)の格子間距離は、AlN結晶体本来の格子定数にほぼ一致するので、Si基板(1)と格子整合している場合のように、Al結晶層(80)には、Si基板(1)との格子定数の相違に起因する歪みが内在することがない。

明細書

積層体、積層体の製造方法及び半導体素子

技術分野

本発明は、結晶層の上にIII族元素の窒化物膜を積層してなる積層体、その製造方法及びこの積層体を利用した半導体素子に関する。

従来技術

近年、Si基板上に形成されるCMOSデバイスにおいては、デバイスを構成するMOSトランジスタ等の素子の微細化、各素子の高集積化の進展には著しいものがある。このような微細化、高集積化の進展に伴い、MOSトランジスタなどの要素であるゲート絶縁膜の単位面積当たりの容量値の向上の要請が強まっている。これは、省電力の目的でMOSデバイスの各素子を動作させるための電源電圧が低電圧化されている一方で、従来と変わらない素子動作に必要な電荷を確保しようとする、ゲート絶縁膜の単位面積当たりの容量値を高くする必要があるからである。

このゲート絶縁膜の容量値を高くするには、大きく分けて2つの途がある。第1の方法はゲート絶縁膜を薄膜化する方法であり、第2の方法はゲート絶縁膜をより高誘電率を有する材料によって構成する方法である。すなわち、ゲート絶縁膜の高性能化に関しては薄膜化と高誘電率化の二つのアプローチがある。

ここで、ゲート絶縁膜の薄膜化に関しては、Si基板の熱酸化を更に高精度に行なうことによって達成しようとするための工夫が特に数多くなされている。Si基板の熱酸化によって二酸化珪素(SiO₂)絶縁膜を形成する方法は、酸化膜の形成が容易であること、この酸化膜が低い界面準位密度、高い耐電圧特性、小さい電流リークなどというゲート絶縁膜としては非常に優れた特性を有していること、酸化膜の形成プロセスが素子の微細化、高集積化にも十分対応できることなどの利点を有しているので、現在Si基板上に形成されるCMOSトランジスタにおいては、熱酸化法以外にゲート絶縁膜の製造方法として実用化されてい

る方法はないといっても過言ではない。従って、今後のゲート絶縁膜の高性能化についても、この SiO_2 膜をいかに薄膜化するかについて検討しているものが多い。例えば、今後の Si 系トランジスタ開発の将来展望を調査した「THE NATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS (THE SEMICONDUCTOR INDUSTRY ASSOCIATION in the U.S.A.) 74頁 Table 22」(第1の文献)に開示されているように、西暦1997年に4~5 nmであったゲート絶縁膜の厚みが、2001年には2~3 nmになると予想されている。そして、 SiO_2 膜の薄膜化の要望に応えるための検討として、例えば熱酸化の方法に急熱急冷の短時間酸化を用いたものに関する「信学技報(TECHNICAL REPORT OF IEICE.) ED98-9, SDM98-9 (1998-04) 15 頁」(第2の文献)に開示されている方法がある。この文献中の方法によると、形成された SiO_2 膜の膜厚は1.5 nmである。

また、ゲート絶縁膜を形成する材料を高誘電率化する方法の例として、「APPLIED PHYSICS LETTERS 72, 2835 (1998)」(第3の文献)に開示されている方法がある。この文献の方法では、ゲート絶縁膜として SiO_2 単層膜のみを用いるのではなく、 $\text{SiO}_2/\text{Ta}_2\text{O}_5/\text{SiO}_2$ の積層膜(3層膜)を用いている。このように積層された状態で Ta_2O_5 の比誘電率が20~25と大きいことを利用して単位面積当たりの蓄積電荷量を高めつつ、高誘電率材料の絶縁膜を Si 基板に接触させると両者間の界面に高い密度で界面準位が導入されるのを回避すべく、 Si の直接熱酸化によって形成された極薄の SiO_2 層を両者の間に介在させているのである。

また、以上とは別な要請から、 SiO_2 以外の材料によりゲート絶縁膜を構成しようとする試みもある。例えば「特願平1-64789」(第4の文献)に開示されている方法では、X線露光などで高エネルギー放射線が照射された時のゲート絶縁膜の耐性を高めるために、 SiO_2 に代えてイットリア安定化立方晶ジルコニア(以下、YSZと略記する)によりゲート絶縁膜を構成している。 SiO_2 や Ta_2O_5 が一般的にはアモルファス状態であるのに対して、ここで用いられているYSZは結晶性を有する。

さらに別な要請から、 SiO_2 以外の材料によりゲート絶縁膜を構成しようとする試みがある。例えば「JAPAN JOURNAL OF APPLIED PHYSICS 35, 4987, (1996

）」（第5の文献）に開示されている方法では、電界効果型トランジスタのゲート絶縁膜として、強誘電性を持つ薄膜を用いてメモリー効果のあるトランジスタを実現することのための検討を行なっている。ここでは、特に強誘電性を持つ $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ (PZT) の薄膜をゲート絶縁膜として用いている。しかしながら、このPZT膜は直接Si基板上に形成することが困難であるので、PZT膜とSi基板との間に CeO_2 などの他の材料からなる絶縁膜を介在させている。

解決課題

しかしながら、上記各文献における SiO_2 膜の薄膜化や新たなゲート絶縁膜材料の開発には、以下に示すような幾つかの問題点がある。

第1の文献においては、2006年にゲート膜厚1.5～2nmが達成されると予想されているが、それ以降、 SiO_2 膜の厚みを1.5nmよりも薄くすることが実現可能であるとは考えられておらず、また、それ以外の解決策も考えられていない。すなわち、 SiO_2 膜を1.5nm以下に薄膜化した状態でデバイスのゲート絶縁膜として用いることは不可能であると考えられている。1.5nmより薄い膜厚を有する SiO_2 膜においては、膜中を直接トンネル電流が流れてしまうためと考えられている。このような直接トンネル電流の発生はDRAMのメモリセルトランジスタにおいて特に重大な問題となる。よって、直接トンネル電流が発生しない膜厚で、所望の電荷を確保するためには、より高い誘電率を持ち、かつ諸特性（界面準位の密度が小さいことなど）が SiO_2 膜並みである新規なゲート絶縁膜材料が要望されている。

第2の文献においては、1.5nmの極めて薄い SiO_2 膜が形成されており、破壊耐圧、リーク特性、高周波特性などの特性は良好であることが報告されているが、一方、信頼性に関して重大な欠点が存在する。すなわち、極薄の SiO_2 膜をゲート絶縁膜として用いた場合、ゲート電極からの不純物（ボロンなど）の突き抜けの発生が顕著になるのである。例えば第2の文献中には、PMOSFETにおいて多結晶シリコンからなるゲート電極をゲート絶縁膜上に設けた場合、ドーパントとして用いているボロン（B）がゲート電極中から SiO_2 膜を通

ってSi基板中へと突き抜けてしまう様子が報告されている。

第3の文献においては、耐圧向上を得るために導入した3層膜の構造により、SiO₂換算厚みを2.3nmにすることが報告されているが、その界面準位密度は、2.3nmの膜厚を有するSiO₂膜の3倍もある。

第4の文献においては、YSZからなるゲート絶縁膜を形成しているが、YSZは自動車エンジンの酸素センサーに用いられるほど、分子やイオンを通しやすい性質を有しているので、イオン伝導などの寄与によってゲート電極とチャネルの間でリーク電流が発生しやすい。すなわち、高い耐圧や信頼性を有するゲート絶縁膜を得ることが難しい。

第5の文献においては、強誘電体膜であるPZT膜を形成する前に、CeO₂膜からなるバッファ層を形成する必要がある。PZT以外の強誘電体材料においても、Bi, Pb, Ta, Sr, Baなどの重金属を含むものが多いので、これらの金属がSi基板中へ拡散してチャネルの電気特性に悪影響を与えるおそれ大きい。同文献におけるSECONDARY ION MASS SPECTROMETRY (SIMS) 測定の結果でも、PbがSi基板中まで拡散していることが報告されている。加えて、これらの強誘電体材料が複合材料の酸化物であることから、強誘電体膜とSi基板との界面にSiO₂領域が形成される可能性が大きい。両者間の界面にSiO₂領域が形成されると、MOSトランジスタ構造におけるゲート電極に印加される電圧の大部分が誘電率の低いSiO₂領域に印加されることが多く、強誘電体膜自体にかかる実効電圧が低くなって、効率よくスイッチングが行われないなどの問題もある。

本発明の目的は、上述のようなすでに報告されているゲート絶縁膜材料とは異なる優れた特性を発揮しうる材料をゲート絶縁膜材料として用いることにより、素子の微細化、高集積化の進展に十分対応しうる膜の製造方法及びこれを用いた半導体素子を提供することにある。

解決手段

本発明の積層体は、結晶層を有する基板と、上記結晶層の主面の上にエピタキシャル成長され、上記結晶層の方位に倣った方位で上記結晶層とは格子非整合な

結晶格子を有し上記結晶層よりも原子同士の結合力が大きい結晶性化合物膜とを備えている。

これにより、結晶性化合物膜と下地の結晶層との間で結晶格子の位置が正確に一致している必要がないことから、結晶性化合物膜中には下地の結晶層との格子整合に起因する歪みが生じない。したがって、歪みに起因する界面準位などの少ない窒化物膜などの結晶性化合物膜が得られる。したがって、例えば窒化物膜をゲート絶縁膜として用いた特性の優れたMIS型トランジスタや、窒化物膜上にさらに結晶性の強誘電体膜を設けたMFIS型トランジスタや、窒化物膜を容量絶縁膜とするキャパシタなど、積層体を各種デバイスに応用することが可能となる。

上記結晶性化合物膜がIII族元素の窒化物膜である場合に、III族元素の窒化物膜は特に結晶化しやすく原子同士の結合力が大きいことから、格子非整合な結晶膜が容易に得られる。

上記結晶層がSi結晶層であり、上記Si結晶層の主面が(111)面である場合に、特に、結晶層上に格子非整合な状態で窒化物膜などの結晶性化合物膜を設けることが容易となる。

その場合、上記結晶性化合物膜がAlN膜である場合に、下地の結晶層の方位についての情報を維持しつつ格子非整合な状態が確実に得られる。

本発明の第1の積層体の製造方法は、基板の結晶層の主面の上に、III族元素の原子層及びN原子層のうちいずれか一方の原子層を形成する工程(a)と、上記一方の原子層の上に、III族元素の原子層及びN原子層のうちの他方の原子層を形成する工程(b)とを交互に繰り返すことにより、結晶性のIII族元素の窒化物膜を上記結晶層の上にエピタキシャル成長させる方法である。

この方法により、下地の結晶層の情報を受け継いだ結晶性の窒化物膜が形成され、高い結晶性による高い比誘電率などの優れた特性を発揮できると共に、この結晶性の窒化物膜の上に、他の結晶性の膜を形成することが可能になるので、優れた特性を有する各種デバイスのプロセスに組み入れることができる。

上記工程(a)では、N原子層を形成し、上記工程(b)では、III族元素の原子層を形成することにより、上記基板の主面の結晶格子とは非整合な結晶格子

位置に結晶性のIII族元素の窒化物膜を上記結晶層の上にエピタキシャル成長させることにより、N原子が結晶層の主面に付着したときのサーファクタント効果を利用して、下地の結晶層の方位に関する情報を受け継ぎつつ、格子は下地の結晶層の格子とは整合していない結晶性の窒化物膜が形成される。

上記結晶層は、Si結晶層であり、上記Si結晶層の主面は(111)面である場合に、もっとも大きいサーファクタント効果が得られる。

上記工程(b)では、Al原子層を形成することにより、上記窒化物膜としてAlN膜が形成され、AlN膜が容易に結晶体を形成すると共に高い比誘電率を有することを利用して、上述の作用効果を顕著に発揮することができる。

上記N原子層の堆積は、窒素ガスをプラズマ化してなるラジカル窒素を上記結晶層の主面上に供給する分子線エピタキシ法(MBE法)により行なわれることにより、活性化されたラジカル窒素が下地の結晶層の主面に付着したときに、高いサーファクタント効果が発揮される。

上記窒素ガスのプラズマ化を、プラズマセルを用いて行なうことにより、プラズマ化されたラジカル窒素の供給の制御を容易かつ正確に行なうことができる。

本発明の第2の積層体の製造方法は、基板のSi結晶層の主面を窒素、水素、硫黄及びマグネシウムのうちいずれか1つを含む雰囲気中に曝し、Si結晶層の主面上のダングリングボンドを終端させる工程(a)と、上記Si結晶層の上に、結晶性のAlN層を形成する工程(b)とを備えている。

この方法により、下地となるSi結晶層の表面におけるダングリングボンドが終端された状態でAlN層が形成されるので、界面準位密度の小さい劣化特性などの優れたAlN膜が得られる。

上記工程(b)の前に、上記Si結晶層の表面部を窒化して窒化珪素層を形成する工程をさらに備え、上記工程(b)では、上記窒化珪素層の上に結晶性のAlN層を形成することにより、Si結晶層の表面におけるダングリングボンドをより確実に終端させることができる。

上記工程(b)では、上記AlN膜に酸素、水素及び硫黄のうち少なくともいずれか1つを添加することにより、上記AlN層内における上記Si結晶層との格子不整合に起因する歪みを緩和することが好ましい。

本発明の半導体素子は、半導体層を有する基板と、上記半導体層の上に設けられ、AlN層を有する絶縁膜と、上記絶縁膜の上に設けられた導体からなる電極とを備えている。

これにより、熱酸化法により形成されたシリコン酸化膜よりも誘電率の高いAlN層を有する絶縁膜全体の単位面積当たりの容量値が高くなる。また、結晶性を有する緻密なAlN層内には、欠陥や界面準位がほとんどないので、シリコン酸化膜と同等の良好な信頼性を発揮することができる。そして、この絶縁膜を電界効果トランジスタのゲート絶縁膜や、MISキャパシタの容量絶縁膜として用いることが可能となる。

上記AlN層が、上記半導体層の上にエピタキシャルに成長された単結晶層であることが好ましい。

上記半導体層がSi結晶層であり、上記半導体層の主面位が(111)面である場合には、上記AlN層が稠密六方晶となり、その主面が(0001)面となる。

上記半導体層がSi結晶層であり、上記半導体層の主面位が(100)面である場合には、上記AlN層が立方晶となり、その主面が(100)面となる。

上記半導体層の表面におけるダングリングボンドがアルミニウム、窒素、水素、硫黄及びマグネシウムのうちいずれか1つによって終端されていることにより、上記AlN層と半導体層との間の界面における界面準位の密度を低減することができる。

上記絶縁膜をゲート絶縁膜とし、かつ、上記AlN層と上記半導体層の間に介在する窒化珪素層をさらに設けることにより、下地のSi基板の結晶性をそのまま保持しつつ、窒化珪素層の存在によって半導体基板の表面におけるダングリングボンドがさらに低減し、半導体基板との界面における界面準位の密度が極めて小さくなる。また、窒化珪素層により、AlN層を通して半導体基板側へ不純物が拡散するのを抑制することもできる。

上記半導体素子において、上記絶縁膜をゲート絶縁膜とし、かつ、上記AlN層の上に形成されAlNよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに設け

ることにより、半導体素子が電界効果トランジスタの構造を有している場合には、例えばM F I S F E Tとして機能する半導体素子が得られる。その場合、結晶性の高いA l N層の上に誘電体層を設けることにより、結晶性の高い正方晶の誘電体層が得られる。したがって、より誘電率の高い高誘電体膜や、より残留分極保持特性のよい強誘電体膜が得られることになる。

上記半導体素子において、上記絶縁膜をゲート絶縁膜とし、かつ、上記A l N膜の上に形成されたA l Nよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに設け、上記誘電体層の上側及び下側のうち少なくともいずれか一方に結晶性を有する導電性膜が設けられている場合には、例えばM F M I S F E Tとして機能する半導体素子が得られる。

上記半導体素子において、上記A l N層に、酸素、水素、硫黄のうち少なくともいずれか1つを含ませて、上記A l N層内における上記半導体基板との格子不整合に起因する歪みを緩和することにより、経時劣化の少ない絶縁膜を有し信頼性の高い半導体素子が得られる。

上記半導体素子において、上記A l N層の半導体基板との格子不整合を拡大させて、上記A l N層の誘電率を高めることもできる。

図面の簡単な説明

図1 (a) ~ (d) は、第1の実施形態に係るA l N結晶層の形成工程を示す断面図である。

図2 (a) ~ (g) は、第2の実施形態に係るA l N結晶層の形成工程を示す断面図である。

図3 (a) ~ (c) は、第3の実施形態に係るM F I S F E Tなどに使用されるA l N結晶層，誘電体薄膜及びゲート用ポリシリコン膜の形成工程を示す断面図である。

図4 (a) ~ (e) は、第4の実施形態に係るM F M I S F E Tなどに使用されるA l N結晶層，結晶性誘電体薄膜及び第1，第2の導電性薄膜の形成工程を示す断面図である。

図 5 (a) ~ (c) は、第 5 の実施形態に係る M I S F E T などに使用されるシリコン窒化層、A l N 薄膜及びポリシリコン膜の形成工程を示す断面図である。

図 6 は、第 7 の実施形態に係る M I S F E T の構造を示す断面図である。

図 7 は、S i 結晶、S i O₂ 誘電体及び A l N 結晶のエネルギーバンドを示すバンド図である。

図 8 は、第 8 の実施形態において用いた M B E 装置の構成を概略的に示す断面図である。

図 9 は、プラズマ化セルの構成を示す断面図である。

図 10 は、第 8 の実施形態における A l N 結晶層をエピタキシャル成長させる際のプラズマ化セル、K - セルのシャッターの開閉のタイミングを示す図である。

図 11 (a) ~ (c) は、第 8 の実施形態における A l N 結晶層のエピタキシャル成長過程を示す図である。

図 12 は、第 8 の実施形態における S i 基板と A l N 結晶層との積層体の縦断面における T E M 像を示す図である。

図 13 は、第 8 の実施形態においてエピタキシャル成長された A l N 結晶層の電子線回折像を示す図である。

最良の実施形態

— A l N の基本特性について —

本発明の実施形態について説明する前に、本発明においてゲート絶縁膜などの新たな材料として用いる A l N 膜の基本特性について説明する。

図 7 は、S i に対する A l N 及び S i O₂ のエネルギーバンドのバンド不連続値を比較するためのバンド図である。

同図に示されるように、S i O₂ のバンドギャップ (伝導帯 - 価電子帯のエネルギーレベルの差、つまり禁止帯の幅) は約 9 e V である。そして、S i O₂ の価電子帯端と S i の価電子帯端との間には約 - 4 . 7 e V のバンド不連続が存在する。また、S i O₂ の伝導帯端と S i の伝導帯端との間には約 3 . 2 e V のバ

ンド不連続が存在する。一方、AlNのバンドギャップは約6.4 eVである。そして、AlNの価電子帯端とSiの価電子帯端との間には約-3.0 eVのバンド不連続が存在する。また、AlNの伝導帯端とSiの伝導帯端との間には約2.1 eVのバンド不連続が存在する。すなわち、AlNとSiとの間のバンド不連続値は、SiO₂とSiとの間のバンド不連続値の64%（価電子帯側）、66%（伝導帯側）である。

しかも、AlN膜中には、キャリアを発生する不純物や欠陥が極くわずかしか存在しないことから、高い絶縁性を保持することができる。また、AlNはSiとの界面におけるSiのダングリングボンドが少ないことから、Siとの界面における界面準位密度も極めて低い。

これらのことは、Siとこれに対向する導体部材との間にAlN膜を介在させることによって、AlN膜をゲート絶縁膜やその他の障壁層として十分利用することができることを示している。

また、Si結晶はダイヤモンド構造を有し、AlN結晶は閃亜鉛鉱型の結晶構造に類似したウルツ鉱型の結晶構造を有している。立方晶の一種である閃亜鉛鉱型の結晶構造はダイヤモンド型構造における同一種の原子を1つ置きに異種原子に置き換えた構造であるので、ダイヤモンド型結晶体の上に閃亜鉛鉱型結晶体をエピタキシャル成長させるのは容易である。一方、六方晶の一種であるウルツ鉱型結晶体をダイヤモンド型結晶体の上にエピタキシャル成長させるのは一般的には困難である。しかし、ウルツ鉱型結晶構造と閃亜鉛型結晶構造とは、(111)面においては原子の配置位置が同じである。すなわち、主面が(111)面であるSi基板（以下、(111)Si基板という）上には、Si基板上に六方晶のウルツ鉱型のAlN層がエピタキシャル成長する。このことは従来より知られている。

－格子整合型AlN層の形成－

ここで、発明者は、第1に、AlN結晶体が十分薄い場合には、主面が(100)面であるSi基板（以下、(100)Si基板という）上に、立方晶の閃亜鉛鉱型の結晶構造を有する(100)AlN層が形成されることに着目した。AlN層は、本来のウルツ鉱型結晶体である場合にはもちろんのこと、閃亜鉛型結

晶体である場合にも高い結晶性を有する。

そして、AlNを成長させるときの条件や、Si基板の面方位を適切に選ぶことにより、単結晶シリコン層の上に結晶性の高いAlN膜をエピタキシャル成長させることができる。

一方、AlNの比誘電率は9であり、熱酸化により形成されたSiO₂の比誘電率3.9に比べて大幅に大きい。そのために、AlNをゲート絶縁膜などの材料として用いることにより、単位面積当たりの容量値を大幅に向上させることができ、また、同じ容量値を得るためにSiO₂膜ほど薄膜化する必要がない。つまり、キャリアの直接トンネルリークを抑制しつつ、蓄積電荷量の向上を図ることが可能であるので、半導体素子の微細化，高集積化の進展にも十分対応することができる。

なお、Si基板上へのIII族窒化物結晶薄膜の形成に関しては、第6の文献“T. Lei and T. D. Moustakas J. Appl. Phys. 71, 4934 (1992)”、および第7の文献“A. Watanabe, T. Takeuchi, K. Hirose, H. Amano, K. Hiramatsu and I. Akasaki, J. Crystal Growth, 128, 391, (1993)”がある。

しかし、いずれの文献においても、AlN膜をGaN膜を形成する前のバッファ層として用いるものであり、ゲート絶縁膜などの素子の要素として用いるための工夫はみられない。

－格子非整合型AlN層の形成－

発明者は、第2に、ある条件下においては、Si基板の上に格子が非整合な状態でAlN単結晶などの窒化物の膜がエピタキシャル成長することを見いだした。このときのエピタキシャル成長のメカニズムはまだ十分解明されているわけではないが、いわゆる表面活性剤（サーファクタント）効果が関与しているものと考えられる。サーファクタント効果とは、例えば第8の文献“日本物理学会誌 Vol.53(1998) p.244-250”に記載されているように、下地結晶層に付着したサーファクタント原子により、下地結晶層とエピタキシャル成長層との間の界面エネルギーが低減される現象をいう。同文献に記載されているように、一般に、薄膜の成長様式は、下記の3通りに分類される。

a. 下地上に層状に成長するFrank-van der Merwe 成長（F－M成長）

これは、エピタキシャル成長する物質が下地結晶層の上に1層ずつ順に成長する様式であり、結晶性化合物膜の成長に好ましい様式といえる。

b. 下地上に第1層目から島状に成長するVolmer-Weber成長(V-W成長)

これは、エピタキシャル成長する物質が成長の初期から下地層の上に3次元的に、つまり、島状に成長する様式である。

c. 下地上に当初は層状に成長した後島状に成長するStranski-Krastanov成長(S-K成長)

これは、成長の初期には、エピタキシャル成長する物質が下地上に1層毎に成長するが、ある膜厚を越えたところから3次元の成長が始まる様式である。

ここで、下地結晶層、エピタキシャル成長する物質の単位面積あたりの表面エネルギーをそれぞれ σ_s 、 σ_g とし、両者間の単位面積あたりの界面エネルギーを σ_{in} とすると、一般的には、下記関係式(1)又は(2)

$$\sigma_s < \sigma_{in} + \sigma_g \quad \text{島状成長} \quad (1)$$

$$\sigma_s > \sigma_{in} + \sigma_g \quad \text{層状成長} \quad (2)$$

のうちいずれか一方が成り立っている。

ここで、サーファクタントは、関係式(1)が成り立っている下地結晶層-エピタキシャル成長層とがある場合に、両者間の界面エネルギー σ_{in} を低減することにより、関係式(2)が成り立つようにして、成長様式を島状成長から層状成長へと変化させるように作用する。

また、成長初期に層状成長するような場合には、さらに2種類の成長様式に分けられる。1つは、エピタキシャル成長層と下地結晶層との相互作用が小さく、エピタキシャル成長層が下地結晶層表面の原子配列の影響をほとんど受けずにエピタキシャル成長層自身の格子定数をもって(つまり格子非整合に)成長する場合である。この場合には、層厚に関係なく歪みのない状態で層状成長を続けるはずである。もう1つは、エピタキシャル成長層と下地結晶層との相互作用が大きく、エピタキシャル成長層が下地結晶層表面の格子に整合して成長する場合である。この場合には、エピタキシャル層の成長につれて歪みが蓄積されるので、ある膜厚以上になると、島状成長に変化することになる。

同文献には、Si基板上に、サーファクタントとしてAuを付着させることに

より、Si基板上にGe膜を成長させる場合の臨界膜厚（格子整合による歪みが転移の発生によって緩和されるときの膜厚）を増大させる効果を得たことが開示されている。また、第9の文献“個体物理 Vol.29 No.6 (1994) p.559-564”には、Si/Ge/Siのヘテロエピタキシャル成長において、Sbをサーファクタントとして用いることが開示されている。

ここで、本発明者は、Si基板上にAlN層を成長させる場合に、AlN層の構成元素である窒素原子Nがサーファクタントして機能することを見だし、サーファクタント効果に加えて、ある条件を与えることにより、下地の結晶層とはほぼ完全に格子非整合な状態で結晶性化合物膜をエピタキシャル成長させることを実証した。そして、これを利用して、後述する実施形態に記載するように、格子整合による歪みのない誘電体膜や半導体膜を設けうることを見いだした。

－第1の実施形態－

本発明の第1の実施形態においては、分子線エピタキシ（MBE）装置を使った分子線エピタキシ法による基本的なAlN膜の製造方法について説明する。図1（a）～（d）は、第1の実施形態におけるAlN膜の形成手順を示す断面図である。

なお、Si基板へのAlN絶縁膜の形成は、後述するように、MBE装置以外の装置を用いても可能である。

まず、図1（a）に示す工程において、素子を作製するためのSi基板1の洗浄を行なった後、Si基板1を弗化水素（HF）や弗化アンモニウム（ NH_4F ）を含む液に浸漬し、水洗，乾燥してから直ちに結晶成長のためのMBE装置内に導入する。この時、Si基板表面は水素（H）原子や極薄の SiO_2 アモルファス層で被覆されている。Si基板1の主面は（100）面であることが望ましいが、（111）面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE装置内においては、100～400℃の範囲までSi基板1を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。

その後、さらにSi基板1を昇温して800～900℃の範囲の温度に保持する。この時、Si基板1の表面を被覆していたH原子や薄い SiO_2 アモルファス層が脱離し、図1（a）に示すごとくダングリングボンド2が残される。

そして、図 1 (d) に示す工程において、MBE 成長法により、Al 原子層を形成するための原料と、N 原子層を形成するための原料とを交互に供給して、Al 原子層と N 原子層とを 1 原子層ずつ交互に積層していくことにより、数 10 層の AlN 結晶層 7 が形成される。

ここで、図 1 (a) から図 1 (d) に移行する過程において、Si 基板 1 と AlN 結晶層 7 とが結合している界面領域の原子の種類によって 2 通りの構造が形成される可能性がある。

上述のように、AlN 結晶層 7 の (100) 面および (111) 面においては、いずれも Al 原子 3 だけで構成される面と、N 原子 4 だけで構成される面とが交互に現れる。したがって、図 1 (b) に示すように、AlN 結晶層 7 内に、Si 基板 1 の表面の Si 原子と Al 原子 3 とが互いに結合している界面領域 5a が形成される場合と、図 1 (c) に示すように、AlN 結晶層 7 内に、Si 基板 1 の表面の Si 原子と N 原子 4 とが互いに結合している界面領域 5b が形成される場合とがある。図 1 (b) に示す状態と図 1 (c) に示す状態とのうちいずれが発生するかは、MBE 成長において Al 原子層形成用原料を先に供給するか、N 原子層形成用原料を先に供給するかによって定まる。

AlN 結晶層 7 の特性は、AlN 結晶層 7 が図 1 (b) に示す界面領域 5a を有する場合と図 1 (c) に示す界面領域 5b を有する場合とで全く等価ではないが、いずれの場合であっても AlN 結晶層 7 が結晶性のよい構造を有している点では一致している。

ただし、Si 基板 1 内に p 型不純物として機能する Al 原子が侵入することは好ましくないので、図 1 (c) に示す状態のほうが好ましい場合が多い。つまり、N 原子層を形成するための原料ガスを先に供給するほうが好ましい場合が多いといえる。

－第 2 の実施形態－

第 2 の実施形態においては、分子線エピタキシ (MBE) 装置を使った分子線エピタキシ法による基本的な AlN 膜の形成方法の別例について説明する。図 2 (a) ～ (g) は、本実施形態における AlN 膜の形成工程を示す断面図である。

まず、第1の実施形態における最初の処理と同様に、素子を作製するためのSi基板1の洗浄を行なった後、Si基板1を弗化水素(HF)や弗化アンモニウム(NH₄F)を含む液に浸漬し、水洗、乾燥してから直ちに結晶成長のためのMBE装置内に導入する。この時、Si基板表面は水素(H)原子や極薄のSiO₂アモルファス層で被覆されている。Si基板1の主面は(100)面であることが望ましいが、(111)面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE装置内においては、100～400℃の範囲までSi基板1を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。

ここで、第1の実施形態においては、その後、さらにSi基板1を昇温して800～900℃の範囲の温度に保持することにより、Si基板の上にダングリングボンドを残してその上にAlN結晶層を形成したが、本実施形態においては、Si基板1の表面に終端原子を残してその上にAlN結晶層を形成する。

図2(a)に示すように、Si基板1の表面が水素原子10によって覆われている場合には、その後の基板温度の昇温を500℃付近までにとどめる。

そして、図2(d)に示すように、水素原子10をそのまま残して、これをダングリングボンドの終端原子12として保持する。

一方、Si基板1の表面がSiO₂アモルファス層や他の化学種や薄膜によって覆われている場合には、Si基板1をさらに800～900℃の範囲の温度に保持する。この時、表面を被覆していた他の化学種や薄いSiO₂アモルファス層がSi基板1の表面から脱離する。すると、図2(b)に示すように、Si基板1の表面上にダングリングボンド2が残される。そこで、図2(c)に示すように、終端用化学種11をSi基板1上のダングリングボンド2に供給する。

その結果、図2(d)に示すように、この化学種11を終端原子12として残して、ダングリングボンド2を終端させる。このときに用いる終端用化学種11としては、水素(H)、Mg、硫黄(S)、窒素(N)、アルミニウム(Al)などのうちのいずれか1つが選ばれる。

以上のように、いずれにしても、Si基板1の表面上のダングリングボンドを終端原子12によって終端させてから、AlNのエピタキシャル成長処理を行な

う。

そして、図2 (g) に示す工程において、AlN結晶層7が形成される。ここで、図2 (d) から図2 (g) に移行する過程において、第1の実施形態において説明したように、MBE成長を行なう際に最初に供給する原料ガスの種類によってAlN結晶層7の界面領域の最下端の原子がAlかNかが定まるのであるが、Si基板1の表面上の終端原子12の種類によって、最下端にAl原子3が付着しやすいかN原子4が付着しやすいかが変わることがある。

そして、AlN結晶層7の(100)面および(111)面においては、いずれもAl原子3だけで構成される面と、N原子4だけで構成される面とが交互に現れる。したがって、図2 (e) に示すように、AlN結晶層7内に、Si基板1の表面の終端原子12とAl原子3とが互いに結合している界面領域5aが形成される場合と、図2 (f) に示すように、AlN結晶層7内に、Si基板1の表面の終端原子12とN原子4とが互いに結合している界面領域5bが形成される場合とがある。AlN結晶層7の特性は、AlN結晶層7が図2 (e) に示す界面領域5aを有する場合と図2 (f) に示す界面領域5bを有する場合とで全く等価ではないが、いずれの場合であっても、AlN結晶層7が結晶性のよい構造を有している。

ただし、本実施形態においても、Si基板1内にp型不純物として機能するAl原子が侵入することは好ましくないので、図2 (f) に示す状態のほうが好ましい場合が多い。つまり、N原子層を形成するための原料を先に供給するほうが好ましい場合が多いといえる。

本実施形態の方法によると、図2 (d) に示す工程において、Si基板1の表面におけるダングリングボンドを終端原子12によって終端させてから、AlN結晶の成長処理を行なうので、第1の実施形態の方法に比べ、形成されたAlN結晶層7内における界面準位の密度をより確実に低減できる効果がある。

また、本実施形態においては、AlN結晶層5とSi基板1との間に、終端原子12からなる1原子層が介在した状態となるので、終端原子12を構成する化学種を適宜選択することによって、Al原子のSi基板1への侵入をより効果的に抑制することができる利点がある。

－第3の実施形態－

第3の実施形態においては、例えばM F I S F E Tなどとして機能する3端子もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、A l N結晶層に別の結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。図3 (a) ～ (c) は、第3の実施形態におけるA l N膜及び誘電体薄膜の積層膜を形成する工程を示す断面図である。

まず、図3 (a) , (b) に示す工程においては、上述の第1又は第2の実施形態の形成工程を利用して、S i基板1の上にA l N結晶層7を形成する。

その後、図3 (c) に示す工程において、A l N結晶層7の上に、結晶性を有する誘電体薄膜8を形成する。この誘電体薄膜8を構成する誘電体材料としては、少なくともその比誘電率 (ϵ_r) が直接酸化のS i O₂膜の比誘電率3.9よりも大きな値を持つものを用いることが望ましい。さらに、この誘電体薄膜8の上にゲート電極用ポリシリコン膜9を形成する。

この誘電体薄膜8を構成する材料は、高い結晶性を持つことが望ましいがアモルファスでも良い。高い結晶性を有する誘電体薄膜8を形成したい場合には、(111) S i基板上では六方晶（ウルツ鉱型構造）の(0001)面がS i基板の(111)面と整合するので、六方晶構造を有する誘電体材料を用いるほうが好ましい。また、(100) S i基板上では立方晶（閃亜鉛型構造）の(100)面がS i基板の(100)面と整合するので、立方晶構造を有する誘電体材料を用いるほうが好ましい。ただし、誘電体薄膜が極めて薄い場合には、S i基板1の結晶構造をそのまま持つことができるので、必ずしも以上の組み合わせに限定されるものではない。

また、誘電体薄膜8が結晶性を有する場合には、その格子定数がA l N結晶層7の格子定数か、あるいはS i基板1の格子定数に近いことが望ましい。具体的に、誘電体薄膜8を構成する誘電体材料の例としては、例えばS iとの格子不整合率が－0.37%であるC e O₂や、S iとの格子不整合率が－5.4%であるZ r O₂、あるいはそれらの混晶などが考えられる。

また、誘電体薄膜8を構成する誘電体材料として、例えばA l Nとの格子不整合率が－4.5%であるM g Oなどを用いてもよい。

以上のような材料によって誘電薄膜 8 を構成することにより、AlN 結晶層 7 と誘電体薄膜 8 とを併せた積層体全体の比誘電率 ϵ_r を SiO₂ 膜の比誘電率の 2 倍以上にすることができる。すなわち、AlN 結晶層 7 と誘電体薄膜 8 とを併せた積層体全体をゲート絶縁膜として用いることにより、単位面積当たりの容量値の高いゲート絶縁膜を実現することができる。

また、この誘電体薄膜 8 には、単に誘電率が大きいだけでは無く、強誘電性を持った結晶性薄膜を用いてもよい。その場合、強誘電体材料として、例えばチタン酸バリウム (BaTiO₃)、PZT (PbZrO₃ - PbTiO₃)、PLZT (Pb, La, Zr, Ti を含む酸化物) などがある。この場合、結晶性の高い AlN 結晶層 7 の上に強誘電体材料を形成することによって、この強誘電性を持つ誘電体薄膜 8 の結晶性を、アモルファス構造を有する薄膜上に誘電体薄膜 8 を形成する場合に比べて格段に高くすることができる。その結果、高い結晶性と強誘電性とを有する誘電体薄膜 8 の誘電率を格段に高くすることができ、AlN 結晶層 7 と誘電体薄膜 8 とからなる積層体全体の比誘電率 (ϵ_r) も大幅に高くなる。

その際、高い結晶性を有する AlN 結晶層 7 は、誘電率が AlN よりも高い又は強誘電性を有する誘電体薄膜 8 を Si 基板 1 上に積層する際のバッファ層として機能する。

そして、AlN 結晶層 7 は高い結晶性を有しており緻密なので、重金属などを含む高誘電体材料又は強誘電体材料からなる誘電体薄膜 8 からの不純物の拡散を抑制することができる。とともに、AlN 結晶層 7 自体の誘電率が高いことからゲート電極に印加した電圧がバッファ層である AlN 結晶層 7 にかかる割合をバッファ層として SiO₂ 膜を用いた場合に比べて、1/2 以下に低減することができる。

また、AlN 結晶層 7 が高い結晶性を有することから、AlN 結晶層 7 の上に形成される誘電体薄膜 8 も、AlN 結晶層 7 の結晶性を反映して高度に配向あるいは結晶化するので、より高い誘電率を発揮し、あるいはより安定な残留分極保持特性を実現することができる。

第4の実施形態においては、MFMISFET等として機能する3端子もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、AlN結晶の上下に別の結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。図4(a)～(e)は、第4の実施形態におけるAlN結晶層、結晶性誘電体薄膜、導電性薄膜、強誘電体膜の積層膜を形成する工程を示す断面図である。

まず、図4(a)、(b)に示す工程においては、上述の第1又は第2の実施形態の形成工程を利用して、Si基板1の上にAlN結晶層7を形成する。

その後、図4(c)に示す工程において、AlN結晶層7の上に、結晶性を有する第1の導電性薄膜21を形成する。結晶性を有する第1の導電性薄膜21を構成する材料としては例えばCoSi₂などが考えられる。

その後、図4(d)に示す工程において、第1の導電性薄膜21の上に高誘電性もしくは強誘電性材料からなる結晶性誘電体薄膜22を形成する。結晶性誘電体薄膜22を構成する材料としては、例えばチタン酸バリウム(BaTiO₃)、PZT(PbZrO₃-PbTiO₃)、PLZT(Pb, La, Zr, Tiを含む酸化物)などがある。

次に、図4(e)に示す工程において、結晶性誘電体薄膜22の上に第2の導電性薄膜23を形成する。結晶性を有する第2の導電性薄膜23を構成する材料としては例えばCoSi₂などが考えられる。

ここで、第1の導電性薄膜21および第2の導電性薄膜23は、結晶性誘電体薄膜22の上下に設けられているが、上方又は下方のうちいずれか一方のみに設けてもよい。

本実施形態の積層膜をパターニングして、ゲート構造をソース・ドレイン領域とを形成することにより、結晶性誘電体薄膜22を不揮発性半導体記憶装置の浮遊ゲート電極として機能させることが可能になる。そして、結晶性誘電体薄膜22に蓄積された電荷を、第1の導電性薄膜21あるいは第2の導電性薄膜23あるいはその両方との間で移動させることにより、データの消去や書き込みを行なうことができる。

－第5の実施形態－

第5の実施形態においては、例えばMFISFETなどとして機能する3端子

もしくは4端子型電界効果型トランジスタのゲート絶縁膜として、AlN結晶層に別の非結晶層を積層したものをを用いる際の積層膜の形成方法について説明する。図5(a)～(c)は、第5の実施形態におけるAlN膜及び非結晶層の積層膜を形成する工程を示す断面図である。

まず、図5(a)に示す工程において、素子を作製するためのSi基板1の洗浄を行なった後、Si基板1を弗化水素(HF)や弗化アンモニウム(NH₄F)を含む液に浸漬し、水洗、乾燥してから直ちに窒化と、MBE成長を行なうための装置内に導入する。この時、Si基板表面は水素(H)原子や極薄のSiO₂アモルファス層で被覆されている。Si基板1の主面は(100)面であることが望ましいが、(111)面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。装置内においては、100～400℃の範囲までSi基板1を昇温することにより、Si基板1の表面に残る水分や吸着ガスを除去する。

その後、さらにSi基板1を昇温して800～900℃の範囲の温度に保持する。この時、Si基板1の表面を被覆していたH原子や薄いSiO₂アモルファス層が脱離する。

そして、図5(b)に示す工程において、乾燥させたNH₃ガスあるいはN₂Oガス、あるいはラジカル活性化した窒素ガスをSi基板1上に供給し、Si基板1の表面のSiを窒化して、Si₃N₄などの窒化珪素化合物からなる非結晶性のシリコン窒化層25を形成する。その場合、清浄・平滑なSi基板表面に高周波セルやヘリコンプラズマセルによって発生された窒素分子・原子励起種を照射するか、あるいは高い熱を与えられて活性化したアンモニア、あるいはその派生分子・イオンを照射することによって直接Siを窒化して得られている。この層は1分子～数分子層の極めて薄い層で、アモルファス化せず、高い周期性を維持した層であることが望ましい。

その後、図5(c)に示す工程において、MBE成長法により、結晶性のAlN薄膜26を積層する。この時、AlN薄膜26の下地となるシリコン窒化層25は非結晶性を有するが、その膜厚が非常に薄く、かつ、新たな窒化膜をCVDなどにより堆積するのではなくSi基板1を窒化させて形成していることから、シリコン窒化層25にはSi基板1の結晶構造に関する規則性が保持されている。

。そのため、シリコン窒化層 25 の上に形成される AlN 薄膜 26 も、Si 基板 1 内の結晶構造に倣ってほぼエピタキシャル成長といえる状態で形成されることになり、高い結晶性を実現することが可能である。

そして、シリコン窒化層 25 が存在することにより、Si 基板 1 の表面のダングリングボンドが窒素によって終端されることになり、界面準位の密度が極めて小さくなる。すなわち、AlN 薄膜 26 とシリコン窒化層 25 との積層膜を電界効果トランジスタのゲート絶縁膜として用いることにより、高い誘電率と高い耐性とを有するゲート絶縁膜が得られることになる。

－第 6 の実施形態－

第 6 の実施形態においては、AlN 膜と Si 基板との格子不整合に起因する AlN 膜中の歪みを緩和するための方法について説明する。本実施形態においては、上記第 1 ～第 5 の実施形態における工程を応用して説明するので、工程を示す図は省略する。

本実施形態においても、上記各実施形態におけると同様に、素子を作製するための Si 基板の洗浄を行なった後、Si 基板を弗化水素 (HF) や弗化アンモニウム (NH₄F) を含む液に浸漬し、水洗、乾燥してから直ちに結晶成長のための MBE 装置内に導入する。この時、Si 基板表面は水素 (H) 原子や極薄の SiO₂ アモルファス層で被覆されている。Si 基板の主面は (100) 面であることが望ましいが、(111) 面や他の高次の面、あるいはそれらを数度オフさせた面であってもよい。MBE 装置内において Si 基板を昇温することにより、Si 基板 1 の表面に残る水分や吸着ガスを除去する。その後、さらに Si 基板を昇温して、Si 基板 1 の表面を被覆していた H 原子や薄い SiO₂ アモルファス層を脱離させる。

その後、第 1 ～第 5 の実施形態において説明したように、Si 基板上に直接あるいは薄い窒化膜を介して AlN 膜を形成する。その際、上記第 1 ～第 5 の実施形態において説明した MBE 成長において、酸素、水素、硫黄などを不純物として AlN 結晶層 7 (又は AlN 薄膜 26) 内に連続的に添加する。酸素あるいは水素は MBE 装置中に配設されているガスバルブ又はガスセルから供給される。その際、それぞれの分子のまま供給することも可能であり、高周波を印加したラ

ジカル、イオン又は原子の状態で活性化して供給することも可能である。また、硫黄は一般的なK-セルを用いて供給することも可能であり、バルブクラッキングセルなどを用いてクラッキングされた状態で供給することも可能である。

以上の添加元素は、単独又は2種以上が混合されて添加される。また、これらの元素の添加量はドーパントレベルであって、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲でよい。

以上の添加物を含むAlN層を、各種トランジスタのゲート絶縁膜として用いても、これらの添加物は電気特性を悪化させる原因となる電流のリークには寄与することがなく、ゲート絶縁膜の絶縁特性を悪化させることはない。

そして、特に上述の不純物が $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲でAlN層に添加することにより、Si基板とは格子定数が異なるAlN層に生じる格子不整合に起因する歪みを緩和することができる。その結果、AlN層における転位などの結晶欠陥の導入が抑制され、AlN層の結晶性が向上する。このように歪みが緩和されているために、時間の経過によって生じる特性の劣化や、加熱過程を経ることによる劣化の進行を抑制することができ、AlN層をゲート絶縁膜又はゲート絶縁膜の一部として構成される半導体素子の信頼性を向上させることができる。

また、以上のAlN層の歪みを緩和する方法とは逆に、Si基板の主面を(100)面から傾けて、AlN層内の歪みを増大させることにより、AlN層の誘電率を向上させることも可能である。

－第7の実施形態－

本実施形態においては、上記第1、第2、第3、第5の実施形態に示す方法で形成されたAlN層（AlN結晶層7又はAlN薄膜26）（又はAlN層と他の薄膜との積層膜）からなるゲート絶縁膜を有する半導体素子の1つである電界効果トランジスタの構造について説明する。図6は、第7の実施形態における電界効果トランジスタの断面図である。

同図に示すように、Si基板51の上には素子分離用絶縁膜であるLOCOS膜52が形成されている。そして、Si基板51のLOCOS膜52によって囲まれる活性領域上には、AlN層のみ又はAlN層と他の薄膜とからなるゲート

絶縁膜 53 と、低抵抗のポリシリコン層 54a 及びシリサイド層 45b からなるゲート電極 54 と、ゲート電極 54 の両側面上に形成されたシリコン酸化膜からなる絶縁体サイドウォール 55 とが設けられている。また、Si 基板 1 内において、ゲート絶縁膜 53 の直下方に位置する領域（チャネル領域）を挟む低濃度ソース・ドレイン領域（LDD 領域）56 と、低濃度ソース・ドレイン領域 56 の外側に形成された高濃度ソース・ドレイン領域 57 とが設けられている。この低濃度ソース・ドレイン領域 56 及び高濃度ソース・ドレイン領域 57 中の不純物は、当該電界効果トランジスタが p チャネル型である場合には p 型不純物（ボロンなど）であり、当該電界効果トランジスタが n チャネル型である場合には n 形不純物（ヒ素、リンなど）である。

上述のように、3 端子又は 4 端子電界効果トランジスタにおいて、ゲート絶縁膜を結晶性の高い AlN 層（又は AlN 層と他の薄膜との積層膜）によって構成することにより、ゲート絶縁膜の単位面積当たりの容量値を熱酸化法によって形成される SiO₂ 膜に比べて大幅に向上させることができる。したがって、AlN 層を有するゲート絶縁膜の場合、同じ容量値を有する場合には SiO₂ 膜よりも膜厚を大きくすることができるので、ゲート絶縁膜におけるキャリアの直接トンネルによるリークがほとんど生じない。また、AlN が大きなバンド不連続量を持つことと、AlN 層中にキャリアを発生する不純物や欠陥が極わずかしき存在しないことから高い絶縁性を保つことができる。

さらに、AlN と Si との結晶構造の類似性及び格子定数の近似性により、結晶性の Si 基板上には結晶性の AlN 層が結晶成長されるので、Si 基板との界面領域におけるダングリングボンドの発生を抑制することができ、界面準位の密度も直接酸化により形成された SiO₂ 膜と同等あるいはそれ以下に抑制することができる。

－第 1 ～ 第 7 の実施形態の変形例－

上記各実施形態においては、AlN 層（AlN 結晶層 7 又は AlN 薄膜 26）を MBE 法により形成したが、化学気化堆積（Chemical Vaporization Deposition: CVD）法、有機金属気相成長（Metal Organic Vapor Phase Epitaxy: MOVPE）法、ハイドライド気相成長（Hydride Vapor Phase Epitaxy: HVPE）法、

法、スパッタ法などによっても、結晶性を有するAlN層を形成することが可能である。

また、上記各実施形態においては、AlN層をMOSトランジスタのゲート絶縁膜として用いたが、AlN層をMISキャパシタ又はMIMキャパシタの容量絶縁膜として用いることも可能である。

さらに、Si基板だけでなくGaAs基板上に高い結晶性を有するAlN層を成長させることが可能である。

－第8の実施形態－

本実施形態においては、Si基板の上に、窒素原子Nをサーファクタントとして用いることにより、格子非整合な状態でAlN結晶層をエピタキシャル成長させた例について説明する。

図8は、本実施形態において用いたMBE装置60の構成を概略的に示す断面図である。同図に示すように、MBE装置60は、真空容器61と、真空容器61内を真空状態に維持するための真空ポンプ62と、真空容器61の一部に取り付けられたプラズマ化セル64及びK-セル65と、それぞれプラズマ化セル64、K-セル65からのエピタキシャル物質の放出を制御するためのシャッター66、67とを備えている。上記プラズマ化セル64は、窒素をプラズマ化してなるラジカル窒素を真空容器61内に放出するように構成されており、上記K-セル65は、Al原子を真空容器61内に放出するように構成されている。そして、このMBE装置60は、真空容器63内に配置された被加工物である基板63の上に、プラズマ化セル64、K-セル65（クヌードセンセル）から放出されたラジカル窒素とAl原子とを1層ずつ交互に成長させることにより、AlN結晶層をエピタキシャル成長させるように構成されている。

図9は、上記プラズマ化セル64の構成を示す断面図である。同図に示すように、プラズマ化セル64は、機械的にセルを保持するためのケース70と、ケース70内に配置されたPBN(Pyrolytic Boron Nitride) ルツボ71と、PBNルツボ71の周囲に巻き付けられたコイル72とを備えている。そして、PBNルツボ71の先端にはラジカル化した窒素の供給のための開口が設けられ、PBNルツボ71の底部にはN₂ガスを供給するためのガス導入管73が開口してい

る。ガス導入管 73 は、バルブ 74 を介して N₂ ガス供給装置（ポンペなど）に接続されている。なお、ガス導入管 73 には、N₂ ガスの流量制御のためのマスフローメータ 75 が取り付けられていることが多い。

このMBE装置60は、PBNルツボ71の周囲に巻き付けられたコイル72に高周波電力を印加することにより、PBNルツボ71内に導入されたN₂ガスをプラズマ化して、ラジカル窒素を基板63上に供給するように構成されている。なお、Kセル65においては、A1材料が加熱されることにより、気化したA1原子が放出される。

図10は、AlN結晶層をエピタキシャル成長させる際の、プラズマ化セル64のシャッター66及びK-セル65のシャッター67の開閉のタイミングを示す図である。まず、あるタイミングt1でプラズマ化セル64のシャッター66を開いてラジカル窒素を放出し、その後、タイミングt2でK-セル65のシャッター67を開いてAl原子を放出する。ここで、タイミングt1とタイミングt2との時間差 Δt は約3minであり、この時間 Δt の間に、ラジカル窒素がSi基板面を覆って、その後の格子非整合な状態でのエピタキシャル成長に対するサーファクタントとして機能することになる。そして、その後は、いずれのシャッター66、67を開いて、ラジカル窒素とAl原子とを連続的に放出するが、基板上にはN層とAl層とが1モノレイヤーずつ交互に形成され、AlN結晶層がエピタキシャル成長することになる。なお、シャッター66、67の開閉を、それぞれN層、Al層が1モノレイヤーずつ形成される時間間隔で、交互にオンオフさせることにより、さらに正確にN層とAl層とを交互に1層ずつ形成することができる。

図 1 1 (a) ~ (c) は、本実施形態における A l N 結晶層のエピタキシャル成長過程示す図である。まず、図 1 1 (a) に示すように、S i 基板 1 を超高真空雰囲気中で加熱して、S i 基板 1 の主面を清浄化すると、その表面にはダングリングボンド 2 が形成される。このとき、S i 基板 1 の主面は、S i のダイヤモンド構造の (1 1 1) 面の単位胞の周期を単位「 1 」とすると、7 × 7 の大きさの周期構造 (7 × 7 再構成構造) を有している。

次に、図 11 (b) に示すように、まず、プラズマ化セル 64 のシャッター 6

6を開くことにより、Si基板1の主面上にラジカル窒素(N)が供給され、Si基板1の主面上にN層が形成される。その後、Kセル64のシャッター67を開くことにより、N層の上に1層が形成される。このとき、本実施形態におけるAlN結晶層のエピタキシャル成長の機構を第1の実施形態に対応させてみると、実施形態1のごとく、Si基板1のSi単結晶面の最上部に形成されるダングリグ bonding に1:1に対応してN原子4が付着するのではなく、ダングリグ bondingに加えてそれ以外のSi結晶格子内にもN原子4が入り込むものと考えられる。そして、最初のN層のN原子4に次層のAl原子が結合して1モノレイヤーのAl層が形成される。

その後、図11(c)に示すように、交互にN層とAl層とが1モノレイヤーずつ形成されてAlN結晶層80が形成されるが、このAlN結晶層80の格子間距離は下地のSi基板1の格子間距離とはエピタキシャル成長の開始当初から整合してない。つまり、AlN結晶本来の格子定数にほぼ一致した格子間距離を維持しつつ、エピタキシャル成長が続けられることになる。

図12は、本実施形態におけるSi基板とAlN結晶層との積層体の縦断面におけるTEM像を示す図である。同図に示すように、Si基板とAlN結晶層との境界部において、Si基板の4格子に対してAlN結晶層の5格子が接しており、下地のSi基板の結晶格子とは非整合な結晶格子を有するAlN結晶層がエピタキシャル成長していることがわかる。

図13は、本実施形態においてエピタキシャル成長されたAlN結晶層の電子線回折像を示す図である。同図に示すように、AlN結晶層の(0001)面パターンが得られている。すなわち、(111)面を主面とするSi基板の上に、(0001)面を主面とする良好な結晶性を有するAlN結晶層が得られていることがわかる。しかも、下地のSi基板の(111)面とAlN結晶層の(0001)面とは、共に稠密面であり、結晶学上両者は実質的に同一の面である。このことから、AlN結晶層は下地のSi基板の結晶方位に関する情報を受け継いで成長しながら、下地のSi基板との界面においてSiの結晶格子とは非整合につまり自己の本来の結晶構造にほぼ一致させた結晶格子位置にエピタキシャル成長したものといえる。

一方、上記第 8, 第 9 の文献に記載されている技術では、理論的には、サーファクタント効果を利用することにより格子非整合の状態ではエピタキシャル成長させる可能性は暗示されているものの、現実には得られているサーファクタント効果を利用したエピタキシャル成長においては、格子整合している領域が存在していて、歪みが緩和される臨界膜厚が存在していることが記載されている。つまり、単に、サーファクタント効果を利用しただけでは、必ずしも本実施形態のようなほぼ完全な格子非整合状態でのエピタキシャル成長が実現しないものと考えられる。以下、本実施形態のエピタキシャル成長が実現したことの合理的な理由について論ずる。

このようなほぼ完全な格子非整合状態でエピタキシャル成長する単結晶層が得られる理由は、上述のようにサーファクタント効果によるものと推定されるが、その場合、さらには、Al 原子と N 原子との結合力が Si 原子同士の結合力に比べて強いことが格子非整合のエピタキシャル成長を可能ならしめているものと推定される。つまり、サーファクタント効果に加えて、エピタキシャル成長される原子同士の結合力が下地結晶層における原子同士の結合力よりも強いことにより、下地の結晶格子の影響を排してその結晶本来の格子定数を維持しつつエピタキシャル成長しうるものとするのが合理的である。本実施形態の場合、AlN 結晶の弾性定数が、 $C_{11} = 345$, $C_{12} = 125$, $C_{13} = 120$, $C_{33} = 394$, $C_{44} = 118$ であり、Si 結晶の弾性定数が、 $C_{11} = 165.7$, $C_{12} = 50.6$, $C_{44} = 79.4$ である。したがって、AlN 結晶層の原子同士の結合力が Si 基板の原子同士の結合力よりもかなり大きく、このような原子同士の結合力の相違も関与して、本実施形態の格子非整合によるエピタキシャル成長技術が実現したものと考えられる。

このように、下地の結晶層よりも原子同士の結合力が大きい成長層であることが格子非整合のエピタキシャル成長を可能ならしめていることを考慮すると、本発明の格子非整合によってエピタキシャル成長が可能な結晶膜は、本実施形態のような AlN 結晶層のみに限定されるものではないことがわかる。本実施形態においては、下地の結晶層の上にエピタキシャル成長させる窒化物膜として AlN 結晶層を用いたが、例えば、GaN 結晶の弾性定数は、 $C_{11} = 296$, $C_{12} =$

130, $C_{13} = 158$, $C_{33} = 267$, $C_{44} = 24.1$ であり、Si結晶体の弾性定数に比べるとかなり大きいことがわかる。一般に、窒化物は原子同士の結合力が大きいことが知られており、その中でもIII 属元素の窒化物 (AlN, GaN, AlGa_{0.5}N, BN, InNなど) は良好な結晶体を形成することが知られている。したがって、N原子のサーファクタント効果を利用しつつ、各種窒化物膜を当該窒化物膜よりも原子同士の結合力の小さい結晶層の上に形成することにより、格子非整合な状態でのエピタキシャル成長を行なわせることができる。

また、窒素以外のサーファクタント効果を有する元素を構成要素とする化合物結晶層であっても、当該化合物結晶層よりも原子同士の結合力の小さい下地結晶層の上に、本実施形態と同様の方法でエピタキシャル成長させることにより、下地結晶層は格子非整合な状態でありながら下地結晶層の結晶方位に関する情報を受け継いだエピタキシャル成長層を得ることができる。

産業上の利用可能性

本発明の積層体又はその製造方法は、ICなどに搭載されるMIS型トランジスタ、MFIS型トランジスタ、キャパシタなどのデバイスに利用することができる。

また、本発明の半導体素子は、MIS型トランジスタ、MFIS型トランジスタ、キャパシタなどのデバイスとして用いることができる。

請求の範囲

1. 結晶層を有する基板と、

上記結晶層の主面の上にエピタキシャル成長され、上記結晶層の方位に倣った方位で上記結晶層とは格子非整合な結晶格子を有し上記結晶層よりも原子同士の結合力が大きい結晶性化合物膜とを備えている積層体。

2. 請求項1の積層体において、

上記結晶性化合物膜は、III族元素の窒化物膜であることを特徴とする積層体。

3. 請求項1又は2の積層体において、

上記結晶層はSi結晶層であり、上記Si結晶層の主面は(111)面であることを特徴とする積層体。

4. 請求項3の積層体において、

上記結晶性化合物膜は、AlN膜であることを特徴とする積層体。

5. 基板の結晶層の主面の上に、III族元素の原子層及びN原子層のうちいずれか一方の原子層を形成する工程(a)と、

上記一方の原子層の上に、III族元素の原子層及びN原子層のうちの他方の原子層を形成する工程(b)とを交互に繰り返すことにより、結晶性のIII族元素の窒化物膜を上記結晶層の上にエピタキシャル成長させることを特徴とする積層体の製造方法。

6. 請求項5の積層体の製造方法において、

上記工程(a)では、N原子層を形成し、

上記工程(b)では、III族元素の原子層を形成することにより、上記基板の主面の結晶格子とは非整合な結晶格子を有する結晶性のIII族元素の窒化物膜を

上記結晶層の上にエピタキシャル成長させることを特徴とする積層体の製造方法。

7. 請求項6の積層体の製造方法において、

上記結晶層は、Si結晶層であり、

上記Si結晶層の主面は(111)面であることを特徴とする積層体の製造方法。

8. 請求項7の積層体の製造方法において、

上記工程(b)では、Al原子層を形成することにより、上記窒化物膜としてAlN膜を形成することを特徴とする積層体の製造方法。

9. 請求項6～8のうちいずれか1つの積層体の製造方法において、

上記N原子層の堆積は、窒素ガスをプラズマ化してなるラジカル窒素を上記結晶層の主面上に供給する分子線エピタキシ法(MBE法)により行なわれることを特徴とする積層体の製造方法。

10. 請求項11の積層体の製造方法において、

上記窒素ガスのプラズマ化は、プラズマセルを用いて行なわれることを特徴とする積層体の製造方法。

11. 基板のSi結晶層の主面を窒素、水素、硫黄及びマグネシウムのうちいずれか1つを含む雰囲気中に曝し、半導体基板の主面上のダングリングボンドを終端させる工程(a)と、

上記Si結晶層の上に、結晶性のAlN層を形成する工程(b)とを備えている積層体の製造方法。

12. 請求項11の積層体の製造方法において、

上記工程(b)の前に、上記Si結晶層の主面部を窒化して窒化珪素層を形成

する工程をさらに備え、

上記工程（b）では、上記窒化珪素層の上に結晶性のAlN層を形成することを特徴とする積層体の製造方法。

13. 請求項12又は13の積層体の製造方法において、

上記工程（b）では、上記AlN膜に酸素、水素及び硫黄のうち少なくともいずれか1つを添加することにより、上記AlN層内における上記Si結晶層との格子不整合に起因する歪みを緩和することを特徴とする積層体の製造方法。

14. 半導体層を有する基板と、

上記半導体層の上に設けられ、AlN層を有する絶縁膜と、

上記ゲート絶縁膜の上に設けられた導体からなる電極とを備えている半導体素子。

15. 請求項14の半導体素子において、

上記AlN層は、上記半導体層の上にエピタキシャルに成長された単結晶層であることを特徴とする半導体素子。

16. 請求項15の半導体素子において、

上記半導体層はSi結晶層であり、

上記半導体層の主面は（111）面であり、

上記AlN層は稠密六方晶で、その主面は（0001）面であることを特徴とする半導体素子。

17. 請求項15の半導体素子において、

上記半導体層はSi結晶層であり、

上記半導体層の主面は（100）面であり、

上記AlN層は立方晶で、その主面は（100）面であることを特徴とする半導体素子。

18. 請求項14の半導体素子において、

上記半導体層の表面におけるダングリングボンドがアルミニウム、窒素、水素、硫黄及びマグネシウムのうちいずれか1つによって終端されていることを特徴とする半導体素子。

19. 請求項14～18のうちいずれか1つの半導体素子において、

上記絶縁膜はゲート絶縁膜であり、かつ、上記AlN層と上記半導体層との間に介在する窒化珪素層をさらに備えていることを特徴とする半導体素子。

20. 請求項14～18のうちいずれか1つの半導体素子において、

上記絶縁膜はゲート絶縁膜であり、かつ、上記AlN層の上に形成されたAlNよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに有することを特徴とする半導体素子。

21. 請求項14～18のうちいずれか1つの半導体素子において、

上記絶縁膜はゲート絶縁膜であり、かつ、上記AlN膜の上に形成されたAlNよりも高い誘電率を有する誘電体材料及び強誘電性を有する材料のうち少なくともいずれか1つにより構成される誘電体層をさらに有し、

上記誘電体層の上側及び下側のうち少なくともいずれか一方には、結晶性を有する導電性膜が設けられていることを特徴とする半導体素子。

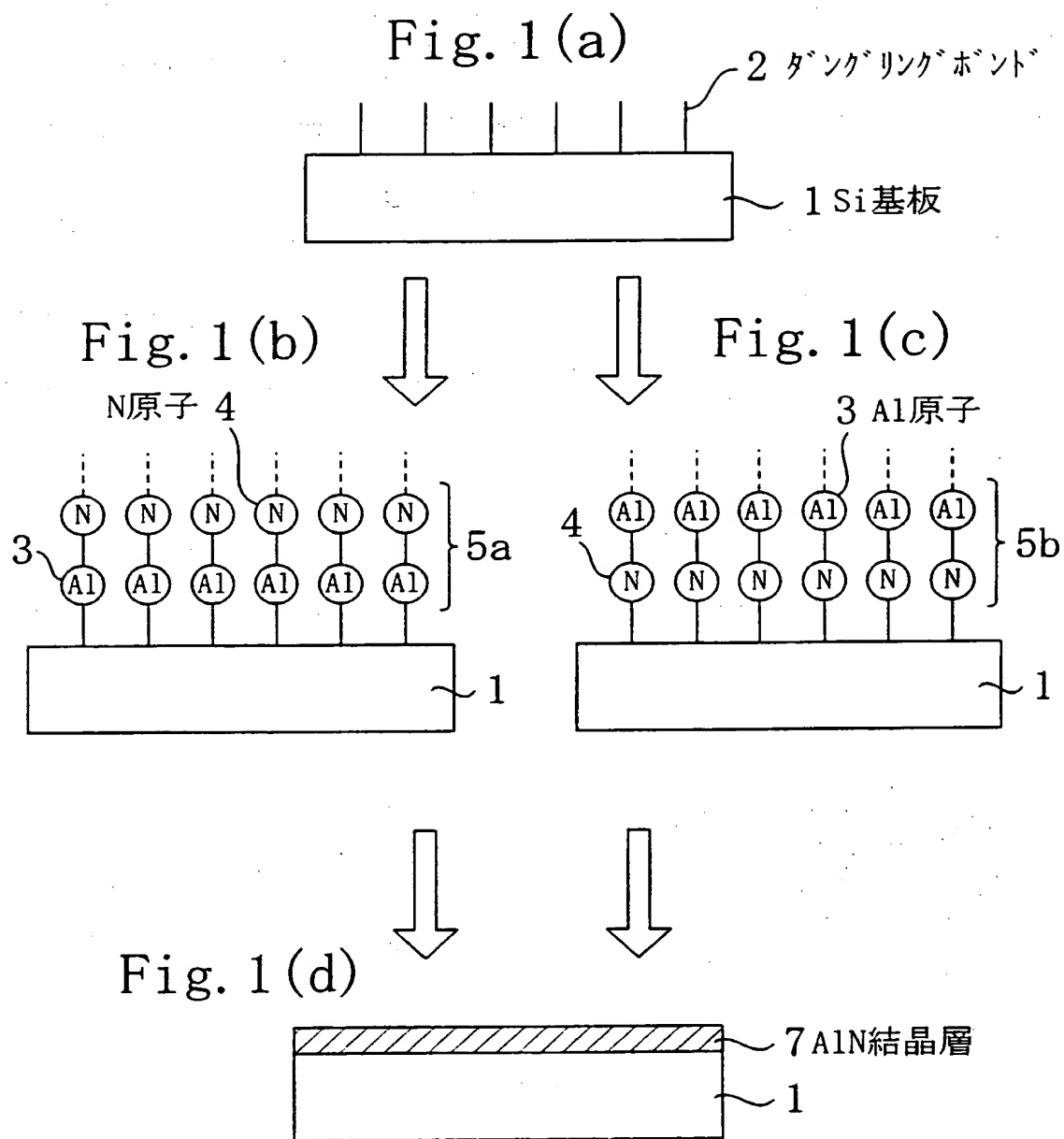
22. 請求項14の半導体素子において、

上記AlN層には、酸素、水素、硫黄のうち少なくともいずれか1つが含まれており、上記AlN層内における上記半導体層との格子不整合に起因する歪みが緩和されていることを特徴とする半導体素子。

23. 請求項14の半導体素子において、

上記 A 1 N 層における上記半導体層との格子不整合が拡大されて、上記 A 1 N 層の誘電率が高められていることを特徴とする半導体素子。

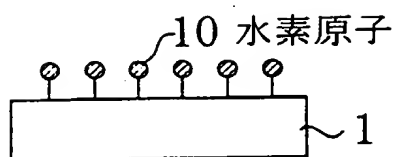
1/12



2/12

Fig. 2(b)

Fig. 2(a)



ダングリングボンド

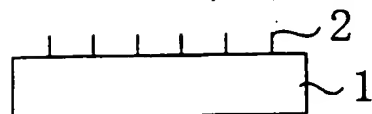


Fig. 2(c)

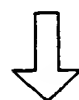
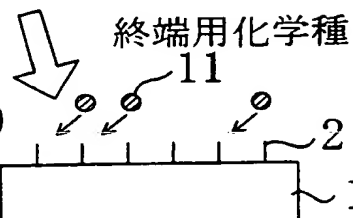


Fig. 2(d)

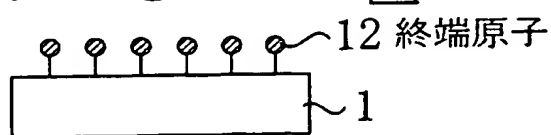


Fig. 2(e)

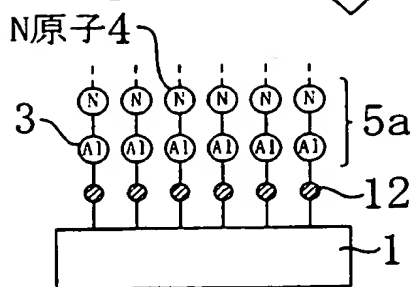


Fig. 2(f)

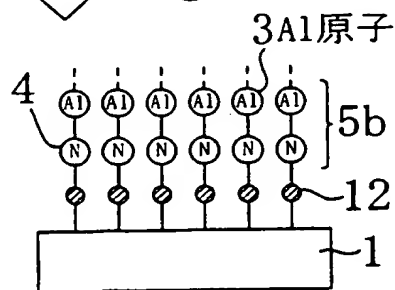
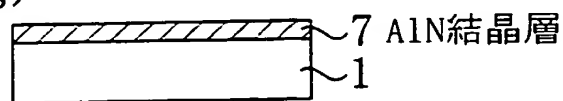


Fig. 2(g)



3/12

Fig. 3(a)

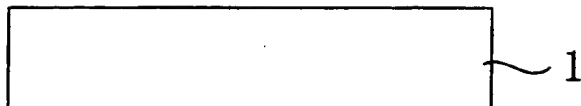


Fig. 3(b)

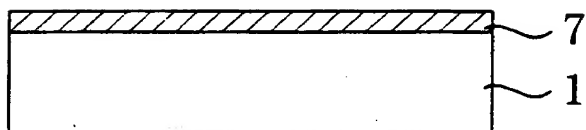
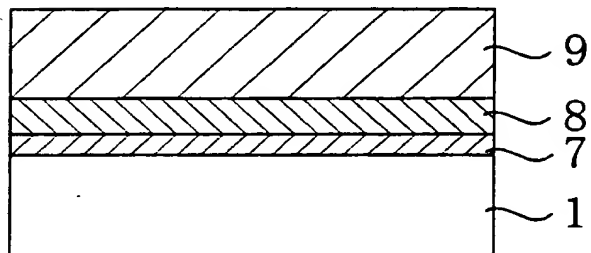


Fig. 3(c)



4/12

Fig. 4(a)

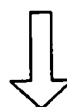
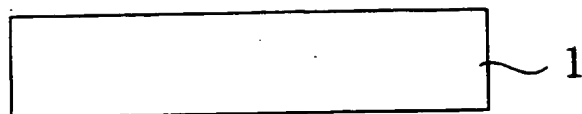


Fig. 4(b)

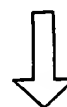
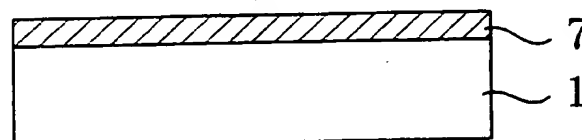


Fig. 4(c)

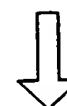
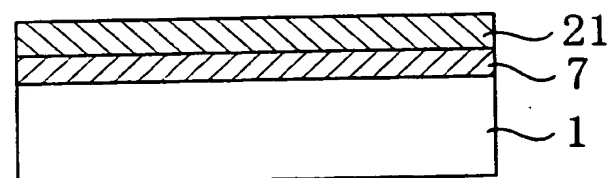


Fig. 4(d)

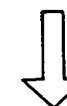
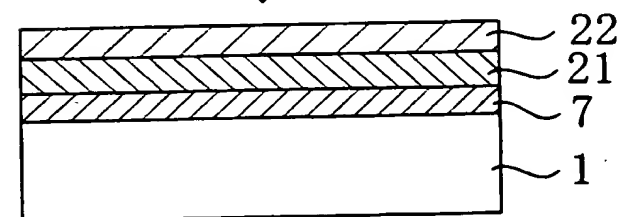


Fig. 4(e)

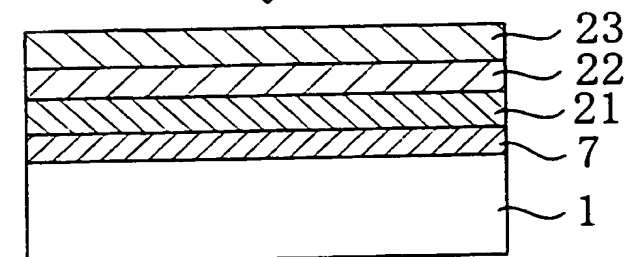


Fig. 5(a)



Fig. 5(b)

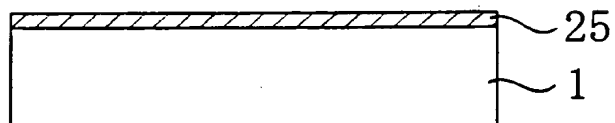
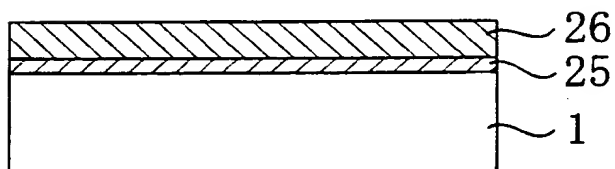
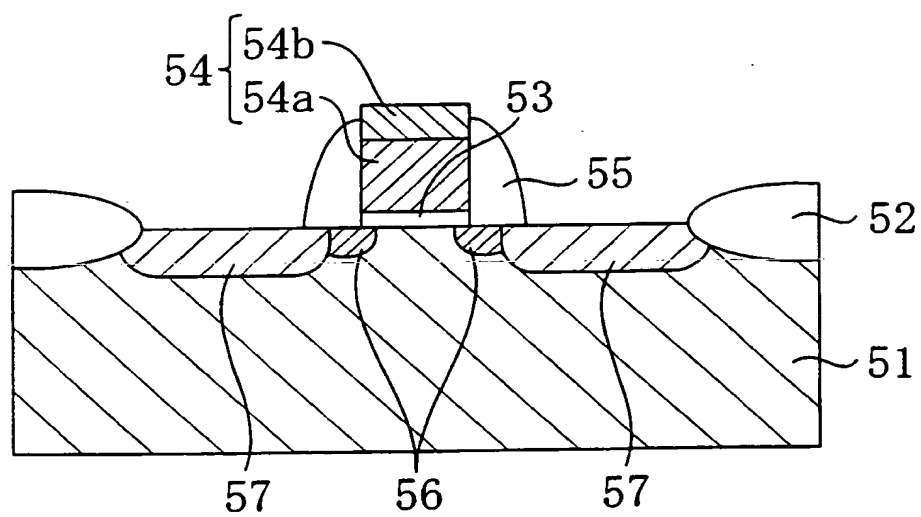


Fig. 5(c)



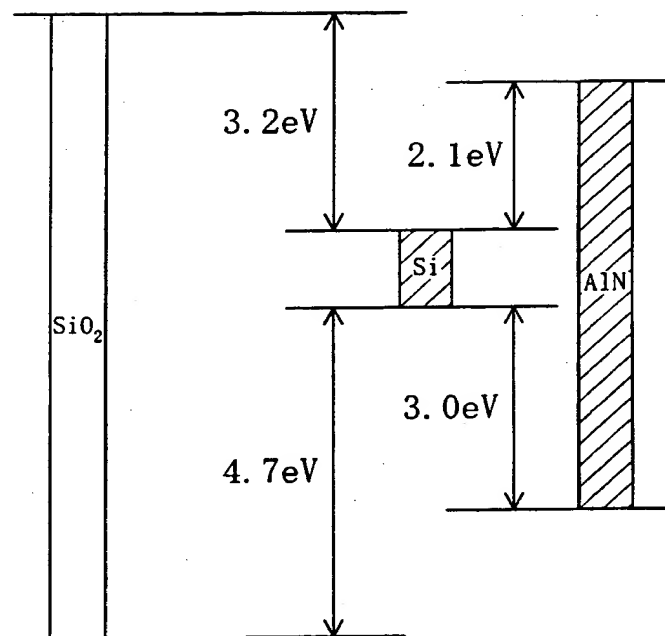
6/12

Fig. 6



7/12

Fig. 7



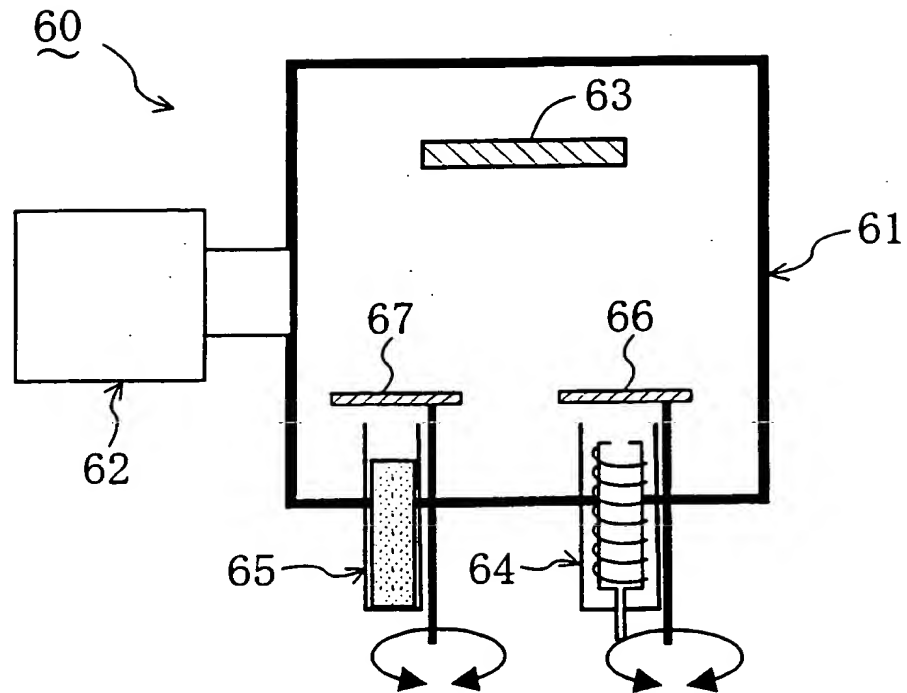
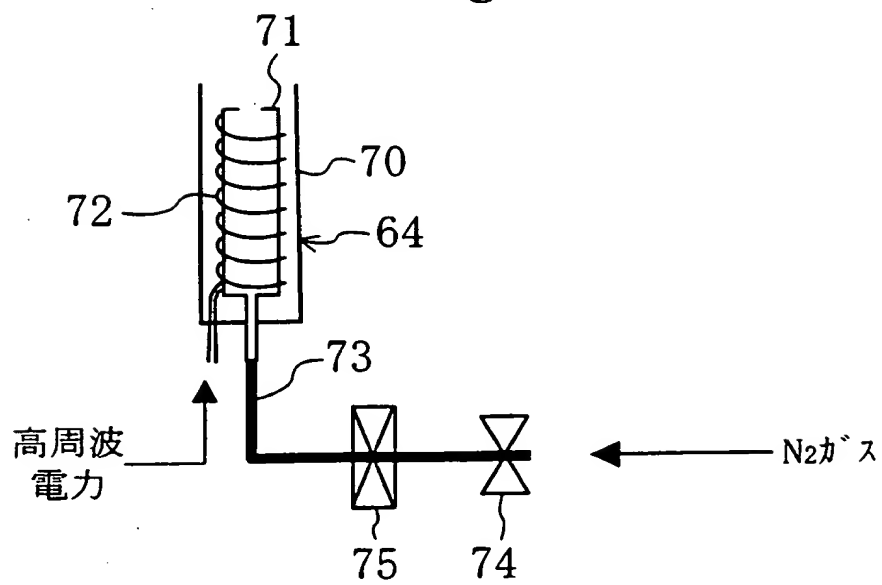
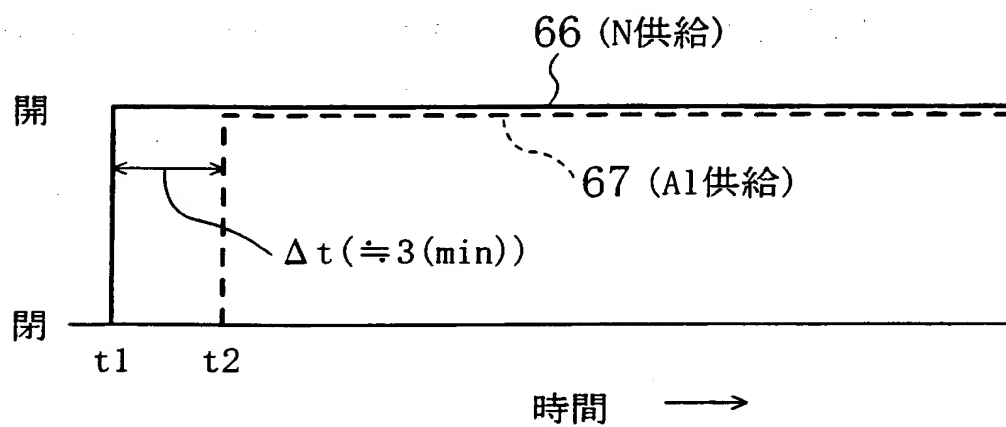
8/12
Fig. 8

Fig. 9

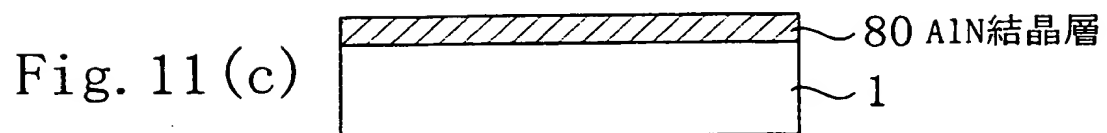
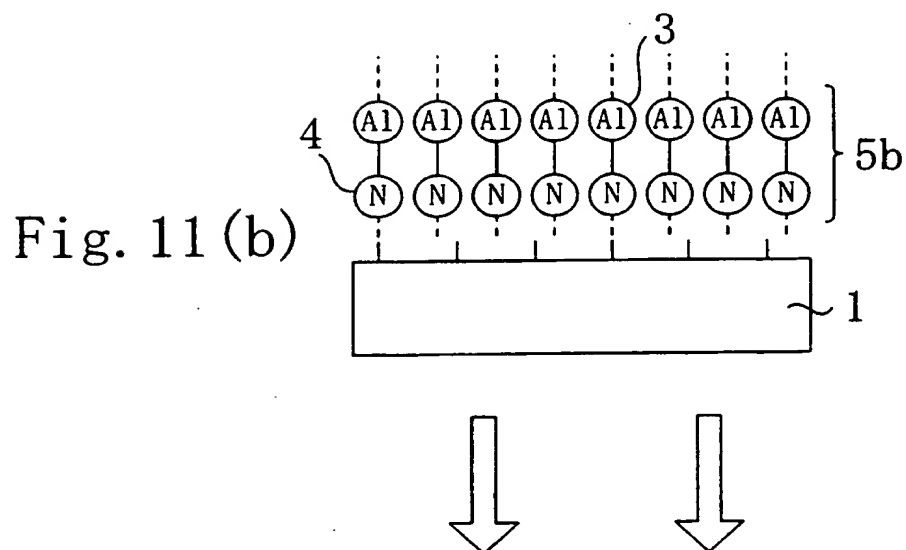
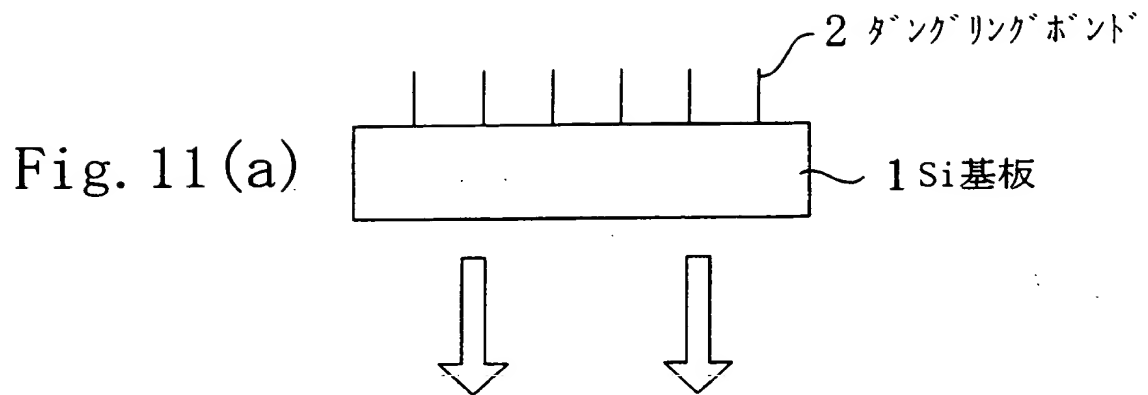


9/12

Fig. 10

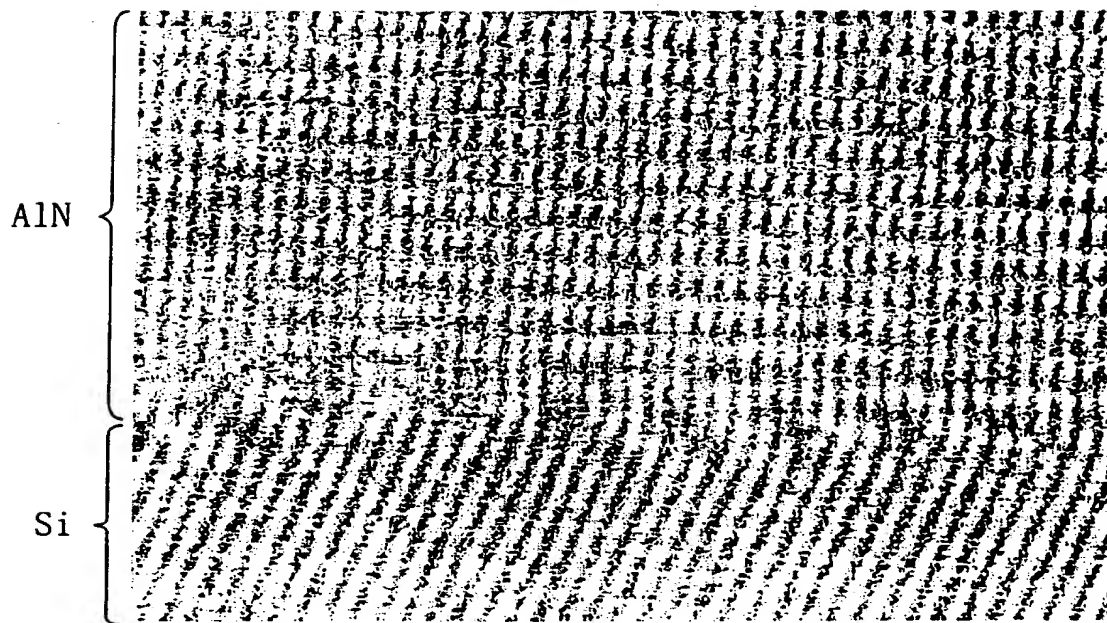


10/12



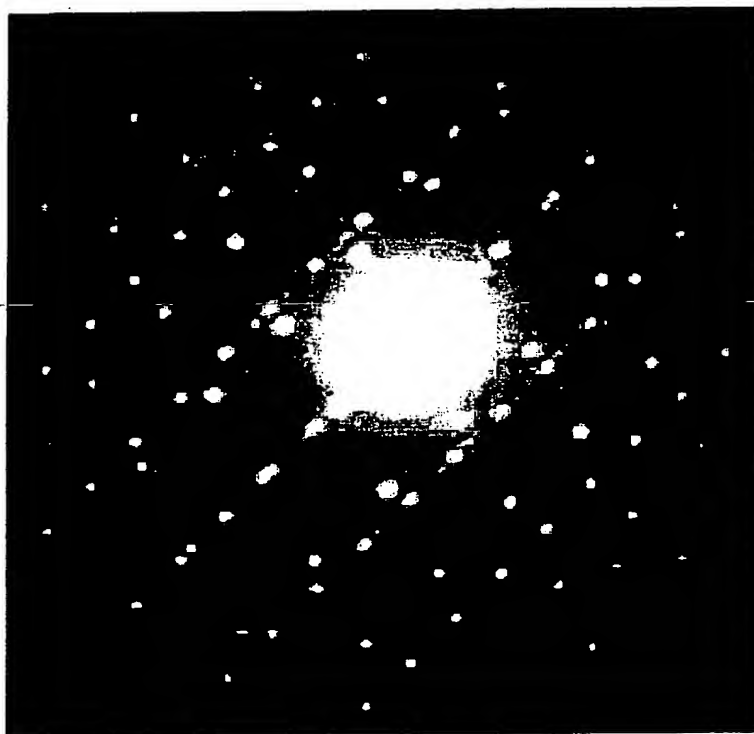
11/12

Fig. 12



12/12

Fig. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04477

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/318, 29/78, 29/788, 29/792, 21/8247, 27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/318, 21/203, 29/78, C30B23/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

F TERM SYSTEM
WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-162852, A (TDK Corporation), 18 June, 1999 (18.06.99), Par. Nos. 0060 to 0068 (Family: none)	1-4
A	US, 5616947, A1 (Matsushita Electric Industrial Co.), 01 April, 1997 (01.04.97), Column 6, line 15 to Column 7, line 17 & JP, 8-153867, A Par. Nos. 0042 to 0048	1-13
X	JP, 64-82671, A (NEC Corporation),	14
Y	28 March, 1989 (28.03.89),	15
A	Full text (Family: none)	16-23
X	JP, 10-223901, A (Sony Corporation),	14
Y	21 August, 1998 (21.08.98),	15
A	Full text & US, 5929467, A1	16-23
Y	JP, 62-92327, A (Hitachi, Ltd.), 27 April, 1987 (27.04.87), page 3, upper left column, line 18 to upper right column,	15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 September, 2000 (27.09.00)Date of mailing of the international search report
10 October, 2000 (10.10.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04477

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	line 3 (Family: none)	
A	JP, 9-309795, A (Fine Ceramics Center), 02 December, 1997 (02.12.97), Full text (Family: none)	1-13
A	JP, 1-211976, A (NEC Corporation), 25 August, 1989 (25.08.89), Full text (Family: none)	11-13

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04477

Pay attention to the following errors.

Claim 10 refers to claim 11. However, there is no description including the term, nitrogen in claim 11.

Claim 13 refers to claim 13 itself.

There is an expression "the gate insulating film" in claim 14, but there is no term, a gate insulating film, mentioned before and referred to in the claim.

国際調査報告

国際出願番号 PCT/JPO0/04477

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/318、29/78、29/788、29/792、21/8247、27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/318、21/203、29/78、C30B23/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2000年
日本国特許実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Fタームシステム
WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-162852, A (ティーディーケイ株式会社), 18. 6月. 1999 (18. 06. 99), 段落0060-0068 (ファミリーなし)	1-4
A	US, 5616947, A1 (Matsushita Electric Industrial C. o.), 1. 4月. 1997 (01. 04. 97), 第6欄15行-第7欄17行 & JP, 8-153867, A 段落0042~0048	1-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27. 09. 00

国際調査報告の発送日

10.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
池淵 立



4R 8831

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u> <u>Y</u> <u>A</u>	JP, 64-82671, A (日本電気株式会社), 28. 3月. 1989 (28. 03. 89), 全文 (ファミリーなし)	14 <u>15</u> <u>16-23</u>
<u>X</u> <u>Y</u> <u>A</u>	JP, 10-223901, A (ソニー株式会社), 21. 8月. 1998 (21. 08. 98), 全文&US, 5929467, A1	14 <u>15</u> <u>16-23</u>
Y	JP, 62-92327, A (株式会社日立製作所), 27. 4月. 1987 (27. 04. 87), 第3頁左上欄18行-右上欄3行 (ファミリーなし)	15
A	JP, 9-309795, A (財団法人ファインセラミックセンタ ー), 2. 12月. 1997 (02. 12. 97), 全文 (ファミリーなし)	1-13
A	JP, 1-211976, A (日本電気株式会社), 25. 8月. 1989 (25. 08. 89), 全文 (ファミリーなし)	11-13

以下の誤記に注意されたい。

請求項 10 において、請求項 11 を引用しているが、請求項 11 には窒素ガスは上記されていない。

請求項 13 において、請求項 13 を引用している。

請求項 14 において、「上記ゲート絶縁膜」と記載されているが、ゲート絶縁膜は上記されていない。

THIS PAGE BLANK (USPTO)